

全数字锁相环非数字模块仿真模型分析与建立

田欢欢, 张海英

(中国科学院 微电子研究所, 北京 100029)

摘 要: 由于锁相环工作频率高, 用 SPICE 对锁相环进行仿真, 为了确保仿真精度, 时间步长需要设的非常小, 数据量大, 仿真时间长. 而在设计初期, 往往并不需要很精确的结果. 因此, 为了提高全数字锁相环设计效率, 有必要为其建立一个高效的仿真模型. 在总结前人提出的一些锁相环仿真模型的基础上, 用硬件描述语言构建了一种新的适用于全数字锁相环的仿真模型. 该模型能使早期的系统级架构选择和算法级行为验证的时间大大缩短.

关键词: 振荡器; 全数字锁相环; 硬件描述语言; 仿真模型

中图分类号: TN911

文献标识码: A

文章编号: 1000-7180(2011)11-0057-04

Modeling of Non-Digital Module in All-Digital Phase-Locked Loop

TIAN Huan-huan, ZHANG Hai-ying

(Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China)

Abstract: With the SPICE simulation of the PLL, in order to ensure the simulation accuracy, the time step need to set very small, which gives rise to large amount of data and very long simulation time. And in the early design stage, very accurate results are often not needed. Therefore, in order to improve design efficiency of ADPLL (all-digital phase-locked loop), it is necessary to establish an efficient simulation model. A new ADPLL simulation model based on hardware description language is proposed, which shorten the time spent on system-level architecture and algorithm-level Behavior verification.

Key words: oscillator; all-digital phase-locked loop; hardware description language; simulation model

1 引言

伴随着无线通信产业的增长, 锁相环频率综合器在通信电路的研究中占据着十分重要的地位. 锁相环的基本模块包括电压控制振荡器(VCO)、鉴相器(Phase Detector, PD)和环路滤波器. 电压控制振荡器能使输出振荡信号的频率随输入电压的变化而变化. 鉴相器将输出信号的相位和输入参考信号的相位进行比较, 它的输出在一个有限的输入范围内正比于两者之间的相位差. 环路滤波器是一个低通滤波器, 由它滤除交流成分, 产生直流控制电压调节振荡器的振荡频率, 它可以是各种阶数的.

电荷泵型锁相环是射频锁相环中最常采用的一

种锁相环结构(图 1). 电荷泵和 PFD 两个模块都存在一些非理想效应, 这些非理想效应会使得环路滤波器的输出电压上存在纹波(即使在锁定状态下), 这些纹波会对 VCO 进行频率调制, 使 VCO 的输出信号不再是理想的正弦波, 恶化环路的相位噪声性能. 这些非理想效应包括 PFD 的死区效应, 延迟不匹配, 电流源和电流沉之间的电流大小不匹配, 时钟馈通, 电荷注入不匹配效应, 电荷共享等. 另外存在着设计周期长, 不易随工艺迁移, 频率切换时间长等问题.

全数字锁相环^[1]由数字鉴相器、时间数字转换器 TDC(time-to-digit converter)、数字环路滤波器、数字控制振荡器 DCO(Digital controlled oscil-

lator)和相位累加器等部分构成(图2)。比较图1、2可以看出,全数字锁相环实际上是数字化电荷泵锁相环里的相应模拟电路而来的。电荷泵锁相环中的压控振荡器、RC无源滤波器和电荷泵电路等模块被转换成相应的数字模块,即数字控制振荡器、数字滤波器和时间数字转换器TDC等。

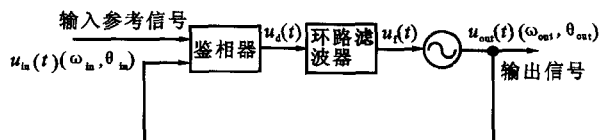


图1 锁相环的基本框图

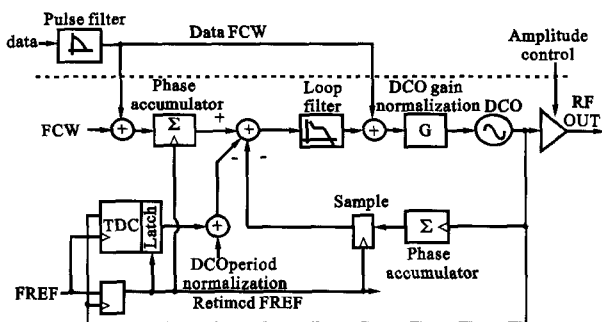


图2 基于ADPLL的蓝牙发射机的结构

锁相环由于其以下优点而成为目前的研究热点:①借助自动化程度很高的CAD工具获得快速的设计周期,敏捷制造,迅速抢占市场。②和模拟电路相比,具有更低的参数偏移。③易于测试。④占用更小的面积,功耗低,并且随工艺的发展这些优点将更加突出。⑤一次流片成功率高。商用模拟电路通常需要多次的电路设计,版图设计和制造迭代才能满足市场要求。⑥噪声源少。⑦全集成,没有外接元件。⑧跳频速度快。

2 模型分析

全数字锁相环频率综合器属于典型的数模混合信号电路系统,它的构成模块中既有数字控制振荡器(DCO)和预分频器等工作在GHz频率的高频模块,也有缓冲器和本地译码模块等工作在MHz频率的低频模块和大量的数字电路,且没有一个稳定的工作点。另外,数字电路中还存在时钟频率差别很大的多个时钟。目前全数字锁相环频率综合器的仿真缺乏快速有效仿真工具的支持,尤其是管级仿真。另外,从仿真精度的角度来考虑,DCO的周期值必须比时间步长(TimeStep)大两个数量级。另一方面,数字电路的时钟信号通常都是间歇瞬时活跃的,表现为一个瞬态过程之后接下来是长时间的静默,基于时间步长的仿真方法,将导致效率低下,仿真时

间长,大量冗余无用数据挤占存储空间。而通常整个环路需要比环路滤波器的最小时间常数至少大一个数量级的仿真时间才能锁定。相位噪声和抖动的表征需要更长的仿真时间,以便于记录更多的数据^[2]。另外仿真误差的长时间累积效应会导致仿真结果偏离实际值。

仿真分析能够确保最终设计出的锁相环满足要求。在各个不同抽象层模型的仿真中,晶体管级模型的仿真结果最精确。但是,锁相环工作频率高(GHz级),输出信号周期短,使得仿真时间步长必须设的更短,耗时长,同时产生大量的仿真数据。所以,在设计初期,锁相环结构的选择,参数的确定和稳定性的验证等工作,管级电路仿真并不是很适用。设计者需要建立一个高效的模型来处理这个问题。由于设计初期没有版图,即没有关于电路实现的物理几何尺寸等信息,导致“从下而上”建模方法在设计前期并不适用。“从上而下”的建模方法是将一个大的顶层设计分成很多小的子单元,分别对各个子单元模块建模。这种方法建模简单,所需时间短,在电路底层细节未知时,便可以进行高抽象层次的仿真,仿真快速,锁相环的锁定过程能够较准确地反映。所以,调整锁相环结构,验证环路锁定算法,确定参数和验证锁相环的稳定性的问题可以用这种方法来解决。并且,之前采用“从上而下”方法建立的模型在设计后期还提供了一个参考,使建模进程加快。

文中提出的模型也采用“从上而下”的建模方法。锁相环的常见模型如下:

(1) 图3给出的线性小信号模型。前提假设为:环路进入锁定状态,信号变动很小。可用于锁相环稳定性的判断^[3],但也存在一些不足:①缺乏对捕获过程的仿真能力;②仅能用于分析在锁定状态下的稳定性;③PFD本质上是一个非线性电路,对它的线性近似有一定的局限性。

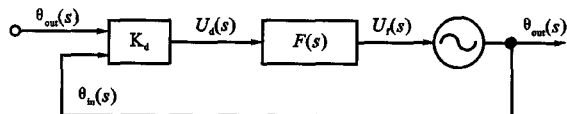


图3 锁相环在锁定状态下的数学模型

(2) 事件驱动模型^[4]。以事件作为模型的驱动要素,称为事件驱动模型。数字电路本身的行为特点使得这种模型进行仿真和验证非常高效。在电路中仿真进程驱动要素通常有时钟的边沿,信号的电平变化等。它将全数字锁相环建模为若干并发进程,每个进程通过各自敏感表中所列信号的特定事件来触发执行,比如时序逻辑的时钟边沿,信号的电平变

化等。

(3) 周期域模型^[5]。周期域模型和事件驱动模型类似。不过它更是按时钟周期计算,当然它会进一步的忽略一些内部的信号传递过程,减少一些中间计算过程。主要是因为数字鉴相鉴频器在时钟边沿获得一个采样值,数字滤波器输入、振荡器控制字等信号都进行一次值的计算;时钟边沿不到来时,则全数字锁相环里的信号不改变。

文中提出了一套全数字锁相环仿真模型。建议的模型考虑了射频模拟模块(数字控制振荡器和时间数字转换器)的数字化模型问题,能使仿真加快速度,并有助于在较高的抽象层次对环路的动态和稳态特性进行优化。

3 模型建立

3.1 数字控制振荡器(DCO)

数字控制振荡器的电路是个负阻 LC 振荡器,通过把一个呈现负阻特性的有源器件(或电路)直接与 LC 谐振回路相接,以产生等幅振荡。本电路结构中由 2 个 NMOS 和 2 个 PMOS 构成的交叉耦合对来提供负阻,为振荡器补充能量。为了得到可调的输出频率,可以在通过改变与对称环形电感相并联的电容值。这些电容可以是 MIM 电容, MOS 电容等。电容的数目由设计的振荡频率范围,以及环路锁定过程决定。电感 L 所能“看”到的电容数由控制字来决定关还是开,进而改变每一个电容阵列模块接入的总电容数,以达到改变振荡频率的效果。

通常,宽的频率调谐范围往往要求数字控制振荡器 DCO 具有大的电压频率增益 K_{dco} ,但大的电压频率增益 K_{dco} 往往导致 DCO 的输出频率对控制字的变化过于敏感,从而恶化相位噪声。为了在频率调谐范围和相位噪声之间解开这种耦合,设计者通常会整个频率范围分成若干个小的频率子带。由于这些频率子带较小,每一段都可以认为是线性的,可近似认为 K_{dco} 在较小的范围内是恒定的。从而数字控制振荡器 DCO 的控制字和输出频率 F ,以及输出振荡信号周期 T 之间的关系,可以用如下关系来建立振荡器模型:

$$T_{out} = T_{init} + Kt * w(n)$$

对于通常的有多个不同精度级的电容阵列来说,总的电容值是用由各个阵列中接入的所有小电容并联构成的。从而周期与控制字之间的关系可以用下面的关系来表示:

$$mat_quant_crs = (thrm2integer_crs(OCW_dco) -$$

$$\begin{aligned} & thrm2integer_crs(OCW_init)) * DCO_QUANT_COARSE; \\ & mat_quant_fin = (thrm2integer_fin(OCW_dco) - \\ & thrm2integer_fin(OCW_init)) * DCO_QUANT_FINE; \\ & mat_quant_morefin = (thrm2integer_morefin(OCW_dco) - \\ & thrm2integer_morefin(OCW_init)) * DCO_QUANT_MOREFINE; \\ & mat_per = DCO_PER_0 + (mat_quant_crs + mat_quant_fin + \\ & mat_quant_morefin); \\ & period0 = mat_per. \end{aligned}$$

3.2 时间数字转换器 TDC

时间数字转换器 TDC^[6]的功能是将参考时钟信号和 DCO 反馈回的时钟信号相位误差中小于一个 DCO 振荡周期的时间差转换成数字量。其核心电路是反相器链和高速锁存器构成。当 PFD 输出相位误差时,这些相位误差可以通过两个时钟的跳变点的时间序列获得。TDC 时序如图 4 所示。于是可用如下的关系进行描述:

参考时钟:

$$LastPoseEvent \leq \$time;$$

$$period_Utdc \leq \$time - LastPoseEvent.$$

反馈时钟:

$$fraction \leq \$time - LastPoseEvent;$$

$$period \leq period_Utdc.$$

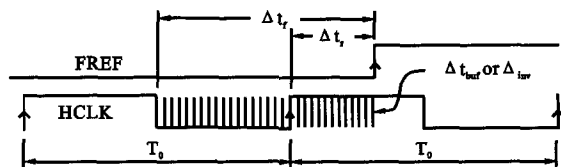


图4 TDC时序示意图

基于以上模拟射频模块部分的数字化模型,借助于数字电路仿真工具,能够对全数字锁相环的架构和算法有效性进行快速的验证。图5给出了环路锁定状态下的时序图。其中,DCO 输出周期和分数相位都以数字的形式输出,能够通过波形和数值非常直观的观察,以利于整个锁相环架构和算法的验证。图6给出了 DCO 的调谐曲线。

4 结束语

文中提出一套全数字锁相环仿真模型。模型考虑了射频模拟模块的数字化模型问题,能使仿真加快速度,并有助于在较高的抽象层次对环路的动态和稳态特性进行优化。通过对非数字电路模块的数字化建模,建立了一个基于硬件描述语言的高效全数字锁相环模型。从仿真结果看,该模型可以在设计初期用于架构设计研证,缩短设计周期,提高设计效

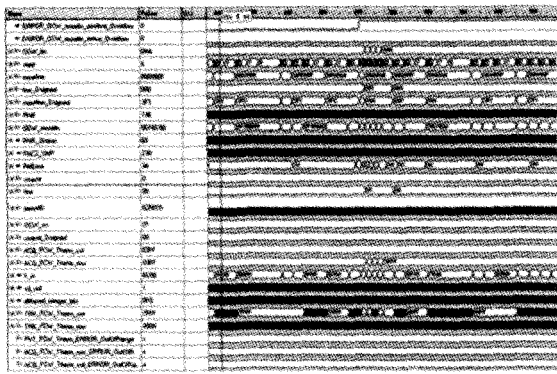


图5 环路锁定状态下的时序图

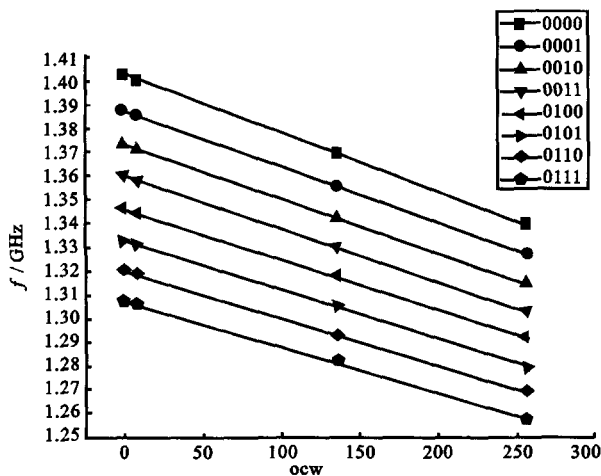


图6 DCO的调谐曲线

率.按照 Top-down 的实现流程,版图经 0.18 m

工艺流片,样片测试结果与仿真结果一致,实现了一款输出为 1.2~1.4GHz 的全数字 LC 锁相环,在 1.36GHz 时相位噪声 $-101\text{dBc}/\text{Hz}@1\text{MHz offset}$.

参考文献:

- [1] Staszewski R B, Dirk Leipold, Chih-Ming Hung, et al. TDC-based frequency synthesizer for wireless application[EB/OL]. (2004-08-04)[2004-10-19]. <http://ieeexplore.ieee.org/iel5/9231/29249/01320575.pdf>.
- [2] 高明伦,胡永华,李丽. 深亚微米芯片设计中相位噪声的讨论[J]. 微电子学与计算机, 2002, 27(9): 57-60.
- [3] 王云峰,叶青,满家汉,等. 3.5GHz 锁相环的设计[J]. 微电子学与计算机, 2009, 26(6): 43-46.
- [4] Diego A, Valentino L, Carla V. Behavioral analysis of charge-pump PLL's[C] //Proc IEEE Int Symp Circ and Syst, Rio de Janeiro, Brazil, 1995: 13-16.
- [5] Norman K J. Cycle-domain simulator for phase-locked loops [C] //Southwest Symp Mixed-Signal Design, San Diego, CA, USA, 2000: 77-82.
- [6] 王雷,魏廷存,郑然. 用于生物医学成像的多通道高精度 TDC 芯片设计[J]. 微电子学与计算机, 2010, 27(5): 57-60.

作者简介:

田欢欢 (1983-), 博士研究生. 研究方向为无线射频前端及混合信号集成电路设计.

(上接第 56 页)

- [5] 王海宁,孙守迁. 基于优化成熟度的自适应蚁群优化算法[J]. 微电子学与计算机, 2010, 27(8): 140-144.
- [6] 孙晓雅,林焰. 基于信息熵的免疫粒子群算法求解指派问题[J]. 微电子学与计算机, 2010, 27(7): 65-68.
- [7] Karaboga D. An idea based on honey bee swarm for numerical optimization[R]. Kayseri Turkey: Erciges University, Engineering Faculty Computer Engineering Department, Technical Report-TR06, 2005.
- [8] Akbari R, Zeighami V, Ziarati K. Artificial Bee colony for resource constrained project scheduling problem[J].

International Journal of Industrial Engineering Computations, 2011, 2(1): 45-60.

作者简介:

孙晓雅 女, (1972-), 博士研究生, 副教授. 研究方向为智能优化与运筹学.

林 焰 男, (1963-), 博士, 教授, 博士生导师. 研究方向为船舶与海洋结构物设计与制造.